

Elektronický přijímač KO s číslicovým zpracováním signálu

Martin Poupa

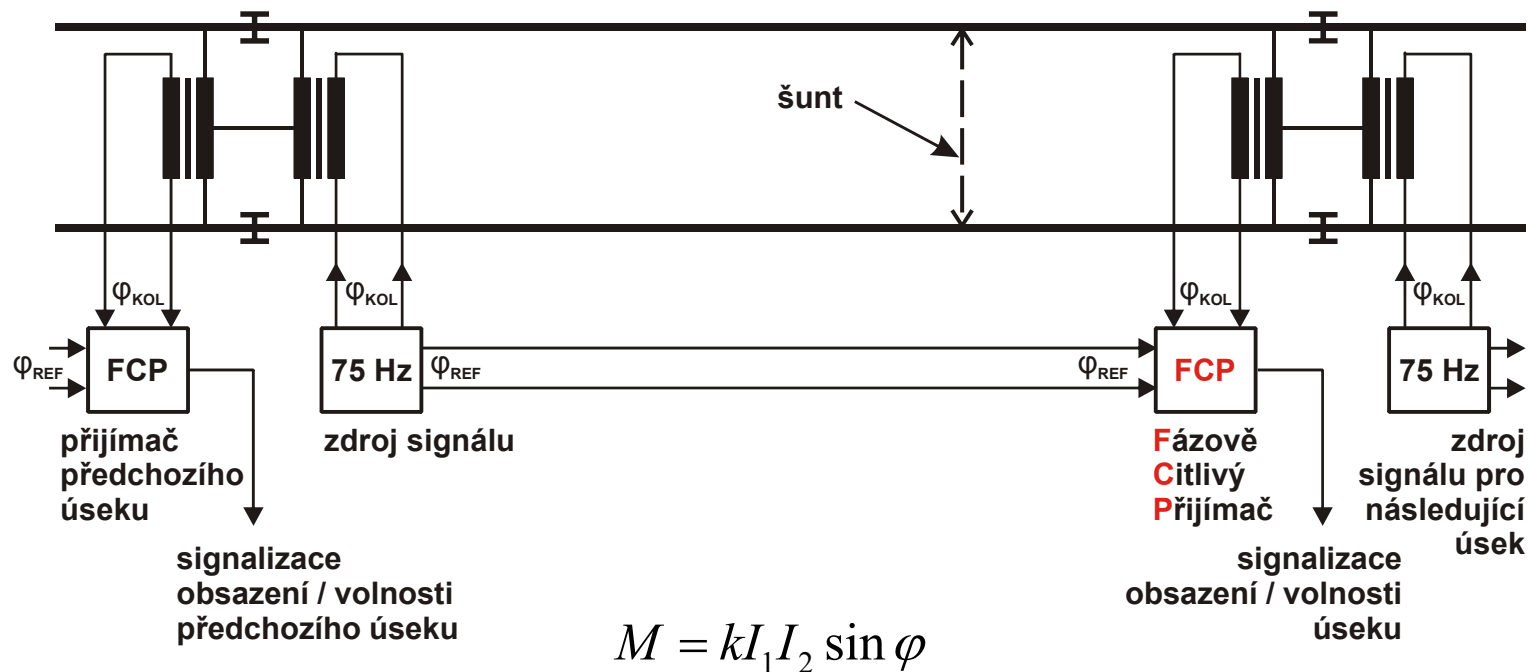
Katedra aplikované elektroniky a telekomunikací
Fakulta elektrotechnická
Západočeská univerzita v Plzni

WWW.FEL.ZCU.CZ



- Úvod
- Algoritmus číslicového zpracování signálu
- Implementace - obvodové řešení
- Implementace v obvodu typu FPGA
- Vývojový prototyp
- Další vývoj
- Závěr

Úvod - kolejový obvod

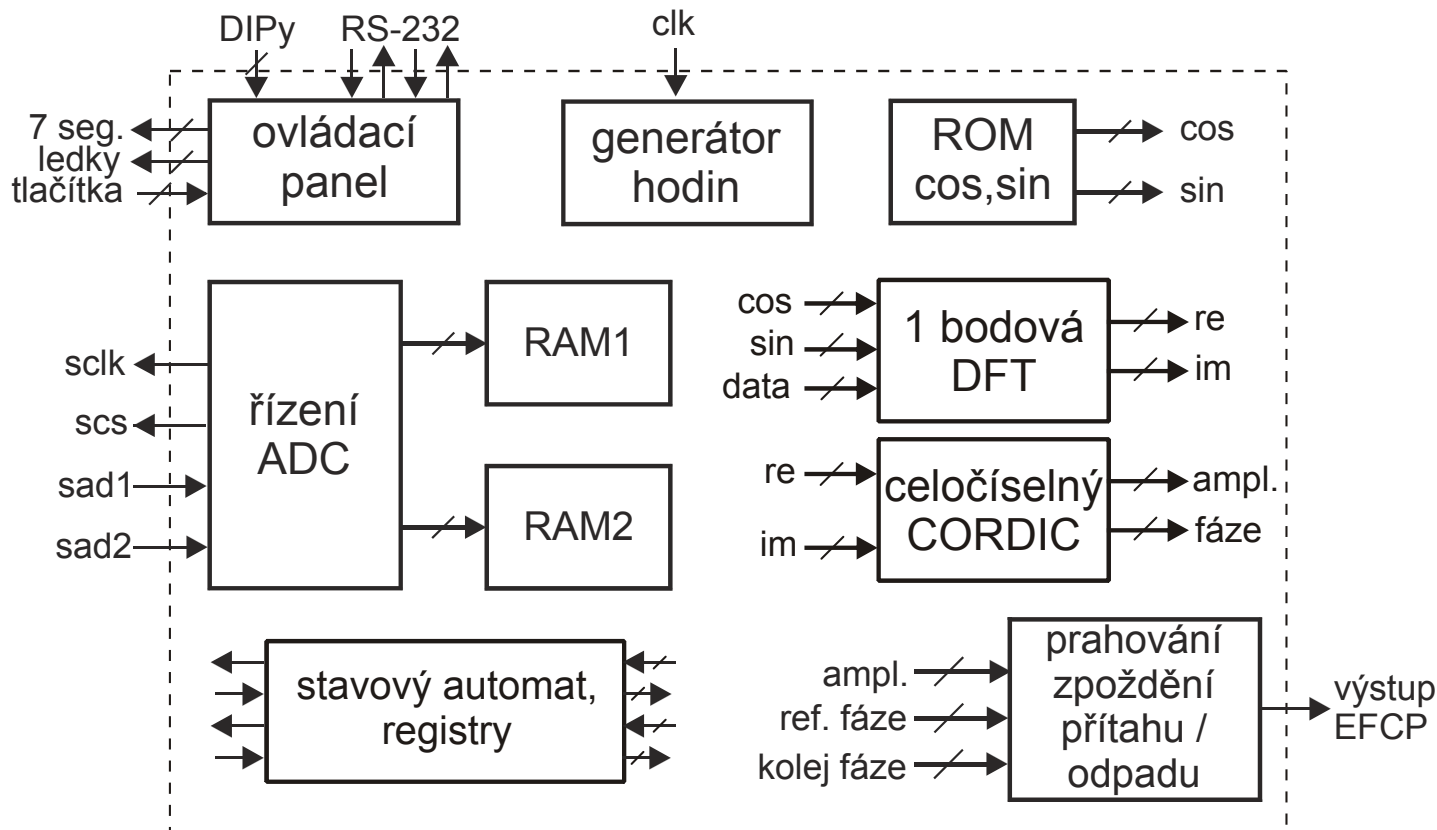


Algoritmus číslicového zpracování signálu



- Vstupní signály digitalizovány
- 1 bodová diskrétní Fourierova transformace
- Výpočet amplitudy a fáze
- Prahování s hysterezí
- Nastavitelné zpoždění přitahu
- Model systému v jazyce C (knihovna arith)
- Dva režimy:
 - vstupní data ze souborů
 - běh v reálném čase s reálnými daty

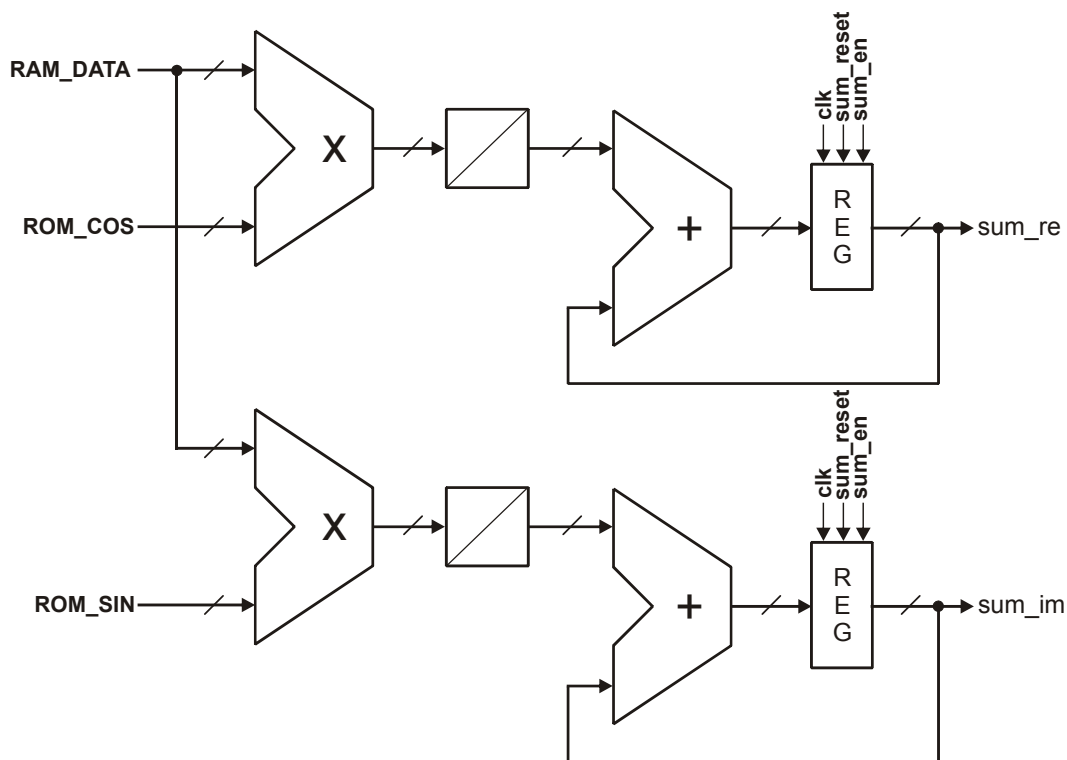
Implementace - obvodové řešení



Implementace – diskrétní FT



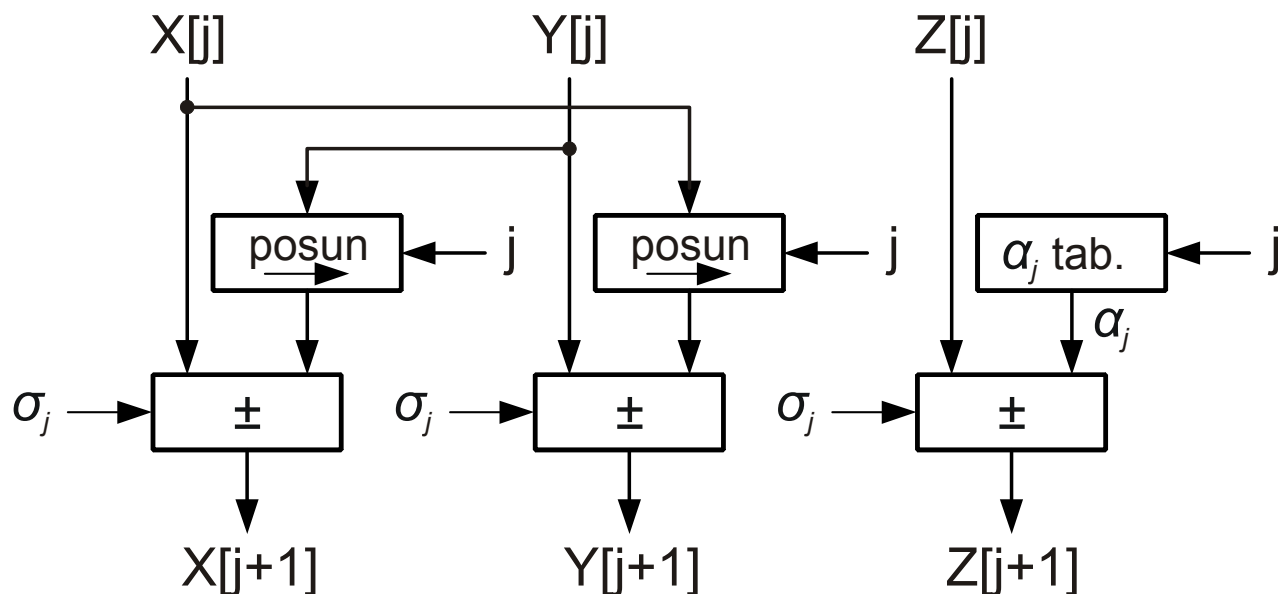
$$X_k = \sum_{i=0}^{N-1} x_i e^{-j(2\pi/N)ik} = \sum_{i=0}^{N-1} x_i W_N^{ik}, \quad k = 0, 1, \dots, N-1$$



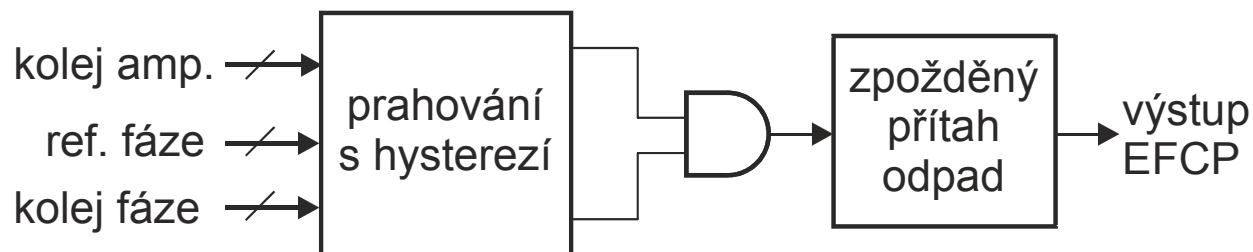
Implementace - výpočet amplitudy a fáze



$$M = |X_k| = \sqrt{x_{k\text{ re}}^2 + x_{k\text{ im}}^2}, \quad \varphi = \tan^{-1} \left(\frac{x_{k\text{ im}}}{x_{k\text{ re}}} \right)$$

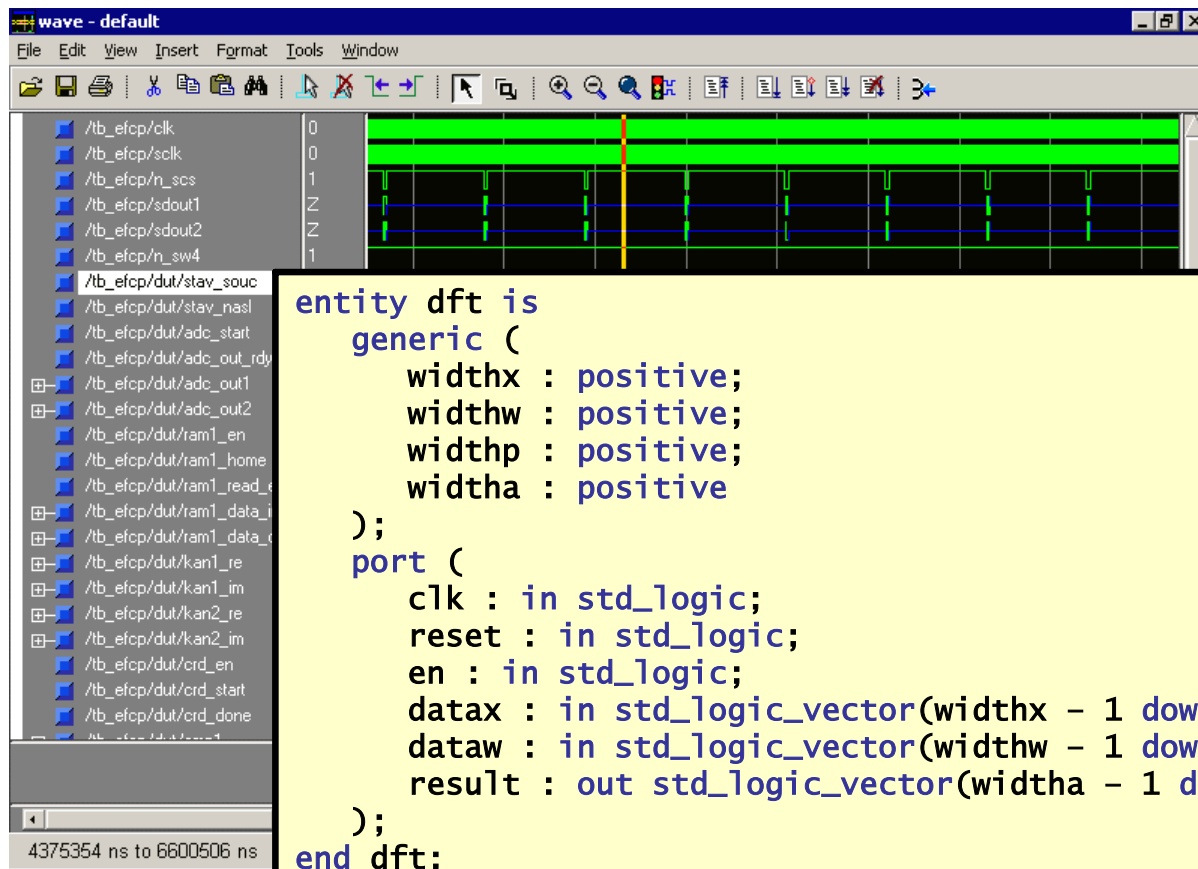


Implementace - prahování a výstup



- Nastavitelný přítah: 140 ms až 10 s
- Pevný odpad: 100 ms

Implementace ve VHDL, simulace

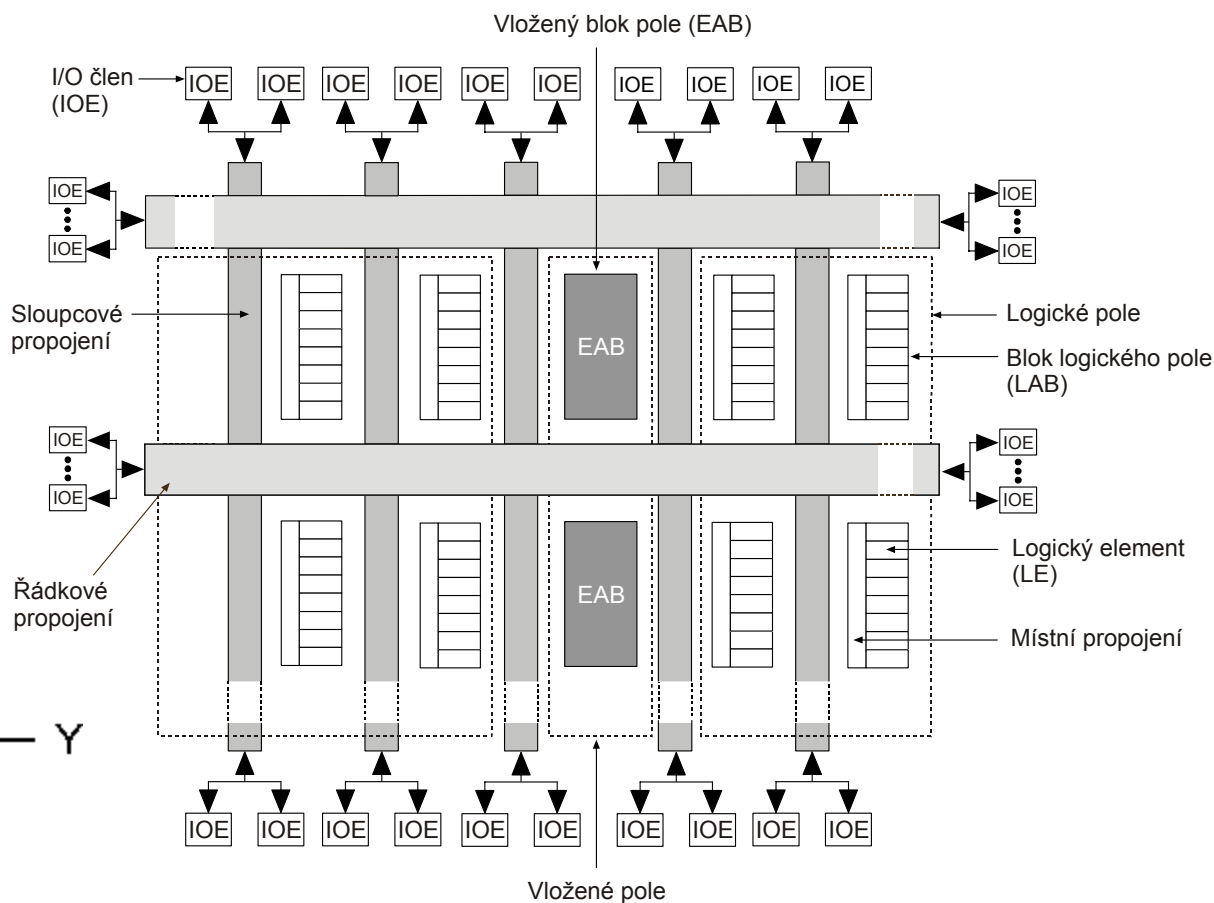
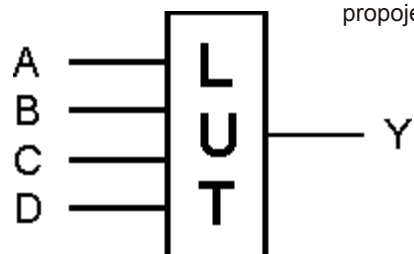


Implementace v FPGA

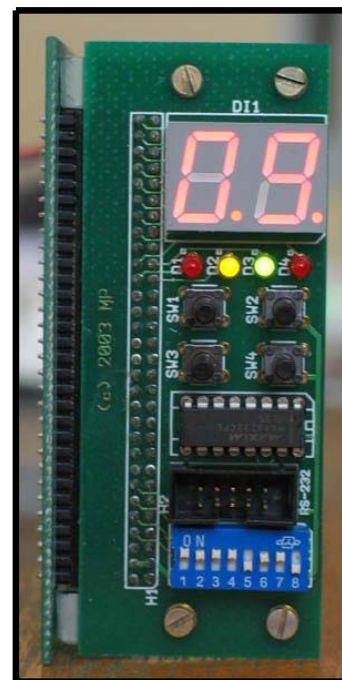
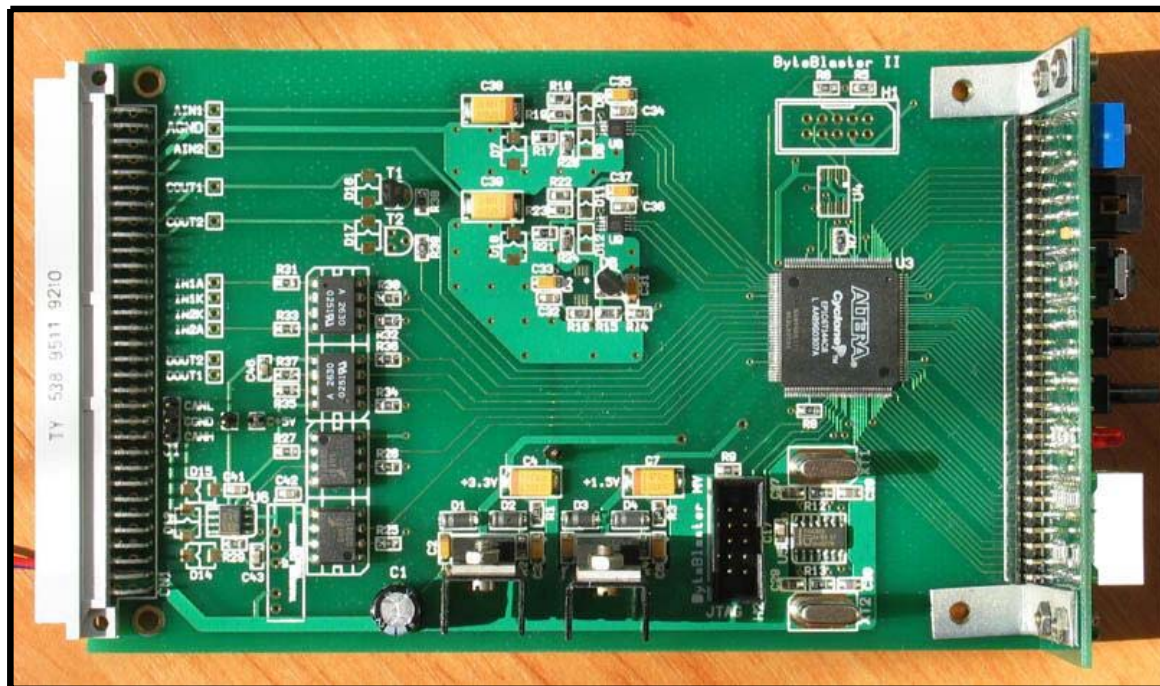


Field Programmable Gate Array

- bloky LUT
- propojení
- bloky RAM
- I/O Bloky



Vývojový prototyp



- Použitý obvod - Cyclone EP1C6 (5980 LE; 90 kbit RAM)
- Realizovaný systém obsahuje: 1700 LE; 500 ko; 44 kbit RAM
- Výpočetní výkon systému: 21 MOPS při hodinové frekvenci 7,2 MHz

Další vývoj



- Realizace prvků bezpečnosti, redundance, automatické kontroly
- Stav relé signalizovat na sběrnici typu CAN
- Realizovat na stejném hardware systém pro signální frekvenci 275 Hz



- Funkčnost navrženého algoritmu úspěšně ověřena na vývojovém prototypu
- Systém se sestává v podstatě pouze z: oscilátoru, jednoho FPGA obvodu a A/D převodníků - SOPC (System On Programmable Chip)

Kontaktní informace



Ing. Martin Poupa, Ph.D.

Katedra aplikované elektroniky a telekomunikací

Fakulta elektrotechnická

Západočeská univerzita v Plzni

Univerzitní 26

306 14 Plzeň



poupa@kae.zcu.cz



377 634 239 nebo 726 914 239



377 634 202



<http://home.zcu.cz/~poupa/>

